

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月29日
Date of Application:

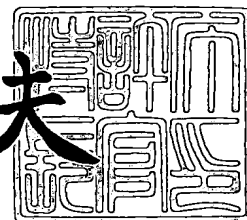
出願番号 特願2003-019865
Application Number:
[ST. 10/C]: [JP 2003-019865]

出願人 川崎マイクロエレクトロニクス株式会社
Applicant(s):

2003年12月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3105372



【書類名】 特許願

【整理番号】 02J00607

【提出日】 平成15年 1月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/28 301
H01L 21/308
H01L 21/8246

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬一丁目3番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

【氏名】 平野 伸治

【特許出願人】

【識別番号】 501285133

【氏名又は名称】 川崎マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100080159

【弁理士】

【氏名又は名称】 渡辺 望稔

【電話番号】 3864-4498

【選任した代理人】

【識別番号】 100090217

【弁理士】

【氏名又は名称】 三和 晴子

【電話番号】 3864-4498

【手数料の表示】

【予納台帳番号】 006910

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113437

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

接合への流動性金属の侵入によってプログラム可能な第 1 の素子に第 1 の電極を接続する第 1 のコンタクトが形成された半導体装置の製造方法であって、

前記第 1 の素子が形成された半導体基板上に上面を有する絶縁膜を形成し、

前記絶縁膜を、前記第 1 のコンタクトを形成する領域の周辺部において選択的に除去して第 1 のコンタクト孔を開口するとともに、中央部において、上端が前記上面よりも低い柱状に残して絶縁領域を形成し、

前記絶縁領域が形成された第 1 のコンタクト孔内に前記流動性金属を主成分とする膜を堆積することにより、該流動性金属を主成分とする膜からなる前記第 1 の電極が、該第 1 のコンタクト孔の底面の周辺部において前記第 1 の素子に接触する、前記第 1 のコンタクトを形成することを特徴とする半導体装置の製造方法。

【請求項 2】

前記上端が前記上面よりも低い絶縁領域の形成を、前記第 1 のコンタクト孔の開口において、前記絶縁膜を、前記第 1 のコンタクトを形成する領域の中央部において柱状に残し、

その後、前記第 1 のコンタクトを形成する領域に開口部を有するマスクを用いて前記絶縁膜を等方的にエッチングすることにより、前記柱状に残した絶縁膜の上部を除去することによって行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記第 1 のコンタクトに加えて、第 2 の素子に第 2 の電極を接続する第 2 のコンタクトが形成された半導体装置の製造方法であって、

前記半導体基板上に、前記第 1 の素子に加えて前記第 2 の素子が形成されており、

前記第 1 のコンタクト孔の開口に加えて、前記第 2 の素子に前記第 2 の電極を

接続する第2のコンタクトを形成する領域において前記絶縁膜を除去して第2のコンタクト孔を開口し、

前記開口した第1および第2のコンタクト孔を埋め込む高融点金属からなるプラグを形成し、

その後、前記第1のコンタクトを形成する領域に開口部を有するマスクを用いて、前記第1のコンタクト孔を埋め込むプラグを除去するとともに、前記絶縁膜の等方的なエッチングを行うことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】

接合への流動性金属の侵入によってプログラム可能な第1の素子、および第2の素子が形成された半導体基板と、

前記半導体基板上に形成された絶縁膜と、

前記絶縁膜に開口されたコンタクト孔であって、該コンタクト孔の上端よりも低い高さを有する柱状の絶縁領域を中央部に有する第1のコンタクト孔の、底面の周辺部において、前記流動性金属を主成分とする膜からなる第1の電極が接触する第1のコンタクトと、

前記絶縁膜に開口された第2のコンタクト孔に埋め込まれた高融点金属からなるプラグを介して、前記第2の素子に第2の電極が接続された第2のコンタクトとを有することを特徴とする半導体装置。

【請求項5】

前記第1のコンタクト孔の周囲、および前記柱状の絶縁領域の頭部にテーパーが形成されていることを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記第1のコンタクト孔の柱状の絶縁領域が、該第1のコンタクト孔の少なくとも1つの側壁に接続されていることを特徴とする請求項4または5に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、PN接合破壊型のヒューズ素子を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

半導体装置において、抵抗値等の回路定数を調整する1つの方法として、製造工程終了後の初期状態においては非導通状態にあり、破壊電圧の印加によって恒久的な導通状態に遷移させることができるヒューズ素子を利用する方法が知られている。このヒューズ素子の一種として、PN接合破壊型のヒューズ素子がある。これは、半導体（シリコン）基板内、もしくは、半導体基板上に形成した多結晶シリコン層内にPN接合を形成し、電極から、電界もしくは熱によってこの半導体基板内もしくは多結晶シリコン層内に金属を侵入させ、この金属と接合部のシリコンとの反応によって接合を破壊し、導通状態にいたらしめるものである。

【0003】

図5は、このようなヒューズ素子の一種であるツェナーザップダイオードを利用して抵抗値を調整するトリミング回路の一例の概略図である。同図に示すトリミング回路60は、端子Aと端子Bとの間に直列に接続された複数の抵抗素子 $R_1 \sim R_n$ と、それぞれの抵抗素子 $R_1 \sim R_n$ に対して個別に並列に接続されたツェナーザップダイオード $D_1 \sim D_n$ と、それぞれの抵抗素子 $R_1 \sim R_n$ の両端に接続されたパッド（電極） $P_1 \sim P_{n+1}$ とを備えている。

【0004】

このトリミング回路60において、抵抗値の調整を行う場合、パッド $P_1 \sim P_{n+1}$ のうちの特定のパッド間に、ツェナーザップダイオードの逆方向耐圧を超える過大な逆方向電圧（逆バイアス）が印加される。これにより、逆バイアスが印加された特定のパッド間に配置されたツェナーザップダイオード $D_1 \sim D_n$ の接合が破壊短絡され、これらのパッド間が低抵抗化される。このようにして、端子Aと端子Bとの間の全抵抗値の調整が行われる。

【0005】

例えば、パッド P_2 とパッド P_3 との間に逆バイアスを印加すると、ツェナーザップダイオード D_2 において、カソード電極に対して負の電圧が印加されるア

ノード電極中のアルミニウム (A1) が流動してツェナーザップダイオードを構成する半導体領域内に侵入し、この侵入したA1と半導体領域内のシリコンとが反応してこれらの合金からなるフィラメントが形成されることによって、接合が破壊短絡される。これにより、ツェナーザップダイオードD2の逆方向抵抗値はギガΩレベルから15Ω以下に低下する。すなわち、ヒューズ素子であるツェナーザップダイオードD2が非導通状態から導通状態へとプログラムされる。このようにして、回路定数（抵抗値）のトリミングが行われる。なお、このようにヒューズ素子を構成する半導体領域内に流動して接合を破壊する金属を、本発明では、流動性金属と表現する。

【0006】

ところで、半導体装置では、高集積化の要求から、加工寸法の微細化が進められている。しかし、微細化が進むに従って、コンタクト形成技術に変更が必要となっている。すなわち、従来は、ヒューズ素子の電極を、接合に侵入して破壊させることができるA1を主成分とし、これに1wt%（重量パーセント）程度のSiを添加したAlSi合金の膜を使って形成することが一般的であった。そして、ヒューズ素子や、その他のトランジスタ等の素子を形成した半導体基板上に層間絶縁膜を形成し、この層間絶縁膜の必要な位置にコンタクトホールを開口し、このコンタクトホール内から層間絶縁膜上にかけてAlSi膜を堆積し、パターニングすることによって、それぞれの素子の電極を形成するとともに、複数の素子を相互に接続する配線を形成する方法が一般的であった。

【0007】

ところが、コンタクトホールが微細になるとその中にAlSi膜を堆積することが困難であるため、コンタクトホール内にはタングステンプラグを埋め込む方法が一般的になった。また、AlSiでは、電極形成後の製造工程中に行われる熱工程において、含有されたSiが析出してノジュールが発生し、微細な配線の信頼性が低下する。このため、電極、配線を形成する材料としては、Siを含まず、Cuを0.5wt%程度含むAl合金であるAlCuを利用することが一般的になった。

【0008】

ところが、コンタクトホール内部にタングステンプラグがあると、ツェナーザップダイオードを破壊短絡させるべく逆バイアスを印加した際に、アノード電極から半導体領域内へのアルミニウムの移動が阻害されてしまう。このため、接合の破壊短絡を行うことができないという問題がある。

【0009】

ヒューズ素子以外の通常の素子に対しては、タングステンプラグを利用して微細化を可能にする一方で、ヒューズ素子のみに対しては、コンタクトホールの寸法を大きくすることにより、タングステンプラグの埋め込みを不要にすることも可能である。しかし、AlCu膜からなる電極をヒューズ素子を構成する半導体領域に直接接触させると、製造工程終了時の、逆バイアス印加による破壊短絡を行う以前に既にヒューズが導通状態にあるという、初期不良が発生する。この不良発生は、電極形成後の製造工程中の熱工程の際に、AlCu電極と半導体領域とが接触した界面から、半導体領域のシリコンがAlCu電極中に吸い上げられ、それによって形成された半導体領域内の空孔に、AlCu電極中のAlが侵入することによって発生するスパイクに起因する。AlSiを電極の材料として使用した場合には、電極形成のために利用されるAlSi膜中に、電極形成後の製造工程における熱処理の最高温度（400℃程度）においてAl中にとけ込むことができる最大のSi量である固溶度を超える量のSiが予め添加されているため、スパイクは発生しない。しかし、Siを含まないAlCuで電極を形成した場合にはスパイクが発生し、高い初期歩留りを得ることができないという問題がある。

【0010】

このような相反する問題に対し、従来技術として、例えば特許文献1、2が提案されている。

【0011】

特許文献1は、ツェナーザップダイオードに対するコンタクトホール（第2のコンタクトホール）を通常の素子に対するコンタクトホール（第1のコンタクトホール）よりも大きな幅に形成し、タングステン膜を第2のコンタクトホールの幅の1/2よりも薄く形成した後、タングステン膜をエッチバックして第1のコ

ンタクトホールにタングステンプラグを形成するとともに、第2のコンタクトホールの底部にシリコン基板の表面を露出させ、第2のコンタクトホール内に、露出されたシリコン基板表面に導通するアルミニウムまたはアルミニウム合金からなるアノード電極を形成するようにしたものである。

【0012】

しかし、特許文献1の手法では、第2のコンタクトホールの底部を露出させるのに十分なエッチバック量を確保しようとする、第1のコンタクトホール部分のタングステンプラグの上部がエッチングされ、埋め込み性が劣化する。また、電極をSiを含まないアルミニウムもしくはアルミニウム合金で形成した場合の、スパイク発生による初期歩留り低下の問題については考慮されていない。

【0013】

特許文献2には、MOSFETをヒューズ素子として利用し、ドレイン領域とソース領域との間に耐圧以上のプログラミング電圧を印加して、電極材料として形成したチタン・シリサイドを流動させ、ドレイン領域とソース領域との間をつなぐ導電性フィラメントを形成する方法が開示されている。

【0014】

しかし、タングステンプラグをコンタクトホールに埋め込んだ場合の問題については考慮されていない。

【0015】

【特許文献1】

特開2000-340750号公報

【特許文献2】

特許第3204454号公報

【0016】

【発明が解決しようとする課題】

本発明の目的は、前記従来技術に基づく問題点を解消し、通常の素子に対するコンタクトホールにはタングステンプラグを埋め込みながら、ヒューズ素子の破壊短絡後の抵抗を十分に低くすることができ、かつ、高い初期歩留りを得ることができる半導体装置およびその製造方法を提供することにある。

【0017】**【課題を解決するための手段】**

上記目的を達成するために、本発明は、接合への流動性金属の侵入によってプログラム可能な第1の素子に第1の電極を接続する第1のコンタクトが形成された半導体装置の製造方法であって、

前記第1の素子が形成された半導体基板上に上面を有する絶縁膜を形成し、

前記絶縁膜を、前記第1のコンタクトを形成する領域の周辺部において選択的に除去して第1のコンタクト孔を開口するとともに、中央部において、上端が前記上面よりも低い柱状に残して絶縁領域を形成し、

前記絶縁領域が形成された第1のコンタクト孔内に前記流動性金属を主成分とする膜を堆積することにより、該流動性金属を主成分とする膜からなる前記第1の電極が、該第1のコンタクト孔の底面の周辺部において前記第1の素子に接触する、前記第1のコンタクトを形成することを特徴とする半導体装置の製造方法を提供するものである。

【0018】

ここで、前記上端が前記上面よりも低い絶縁領域の形成を、前記第1のコンタクト孔の開口において、前記絶縁膜を、前記第1のコンタクトを形成する領域の中央部において柱状に残し、

その後、前記第1のコンタクトを形成する領域に開口部を有するマスクを用いて前記絶縁膜を等方的にエッチングすることにより、前記柱状に残した絶縁膜の上部を除去することによって行うのが好ましい。

【0019】

また、前記第1のコンタクトに加えて、第2の素子に第2の電極を接続する第2のコンタクトが形成された半導体装置の製造方法であって、

前記半導体基板に、前記第1の素子に加えて前記第2の素子が形成されており、

前記第1のコンタクト孔の開口に加えて、前記第2の素子に前記第2の電極を接続する第2のコンタクトを形成する領域において前記絶縁膜を除去して第2のコンタクト孔を開口し、

前記開口した第1および第2のコンタクト孔を埋め込む高融点金属からなるプラグを形成し、

その後、前記第1のコンタクトを形成する領域に開口部を有するマスクを用いて、前記第1のコンタクト孔を埋め込むプラグを除去するとともに、前記絶縁膜の等方的なエッチングを行うのが好ましい。

【0020】

また、前記第1のコンタクト孔内に、前記流動性金属からなる膜を、該第1のコンタクト孔の側壁と前記絶縁領域とによって囲まれた空間においてボイドが形成され、かつ、前記絶縁領域の上端より高い部分においてはボイドが形成されないように堆積することによって、前記第1のコンタクトを形成するのが好ましい。

【0021】

また、本発明は、接合への流動性金属の侵入によってプログラム可能な第1の素子、および第2の素子が形成された半導体基板と、

前記半導体基板上に形成された絶縁膜と、

前記絶縁膜に開口されたコンタクト孔であって、該コンタクト孔の上端よりも低い高さを有する柱状の絶縁領域を中央部に有する第1のコンタクト孔の、底面の周辺部において、前記流動性金属を主成分とする膜からなる第1の電極が接触する第1のコンタクトと、

前記絶縁膜に開口された第2のコンタクト孔に埋め込まれた高融点金属からなるプラグを介して、前記第2の素子に第2の電極が接続された第2のコンタクトとを有することを特徴とする半導体装置を提供する。

【0022】

ここで、前記第1のコンタクト孔の周囲、および前記柱状の絶縁領域の頭部にテーパーが形成されているのが好ましい。

【0023】

また、前記第1のコンタクト孔の柱状の絶縁領域が、該第1のコンタクト孔の少なくとも1つの側壁に接続されているのが好ましい。

【0024】

また、前記流動性金属を主成分とする膜が、実質的にシリコンを含まないアルミニウムもしくはアルミニウム合金膜であるのが好ましい。

【0025】

【発明の実施の形態】

以下に、添付の図面に示す好適実施形態に基づいて、本発明の半導体装置およびその製造方法を詳細に説明する。

【0026】

図1は、本発明の半導体装置の一実施形態のレイアウト断面概略図である。同図に示す半導体装置10において、右側は、通常の半導体素子として用いられるP型MOSトランジスタ（以下、PMOSという）12であり、左側は、ヒューズ素子として用いられるN型MOSトランジスタ（以下、NMOSという）14である。なお、PMOS12は、ヒューズ用のNMOS12以外の半導体素子の一例として示したものである。

【0027】

半導体基板16の表面上には、PMOS12用およびNMOS14用の各素子形成領域が、LOCOS（Local Oxidation of Silicon）法によって形成されたフィールド絶縁膜18によって互いに素子分離されて、配置されている。

【0028】

ヒューズ素子として用いられるNMOS14は、P型半導体基板16の表面層内の、もしくは、半導体基板表面層内に形成されたPウェル領域内の素子形成領域に、チャネル領域20を挟んでソース・ドレイン領域（N⁺型拡散領域）22が形成されている。また、チャネル領域20の上には、ゲート酸化膜24を介してゲート電極26が形成されている。

【0029】

半導体基板16の素子形成領域が配置された表面の上全面には層間絶縁膜38が形成され、この層間絶縁膜38の、NMOS14のソース・ドレイン領域22に対応する個所にはコンタクトホール（コンタクト孔）40が開口されている。コンタクトホール40の中央部には、このコンタクトホール40の上端（層間絶縁膜38の上面）よりも高さの低い柱状の絶縁領域41が形成されている。また

、コンタクトホール40の周囲、および柱状の絶縁領域41の頭部にはテーパが形成されている。

【0030】

また、層間絶縁膜38の上の所定箇所にはバリアメタル層44が形成されている。そして、コンタクトホール40の内部および層間絶縁膜38上のバリアメタル層44の上にはAlCu膜からなる電極58が形成されている。電極58は、コンタクトホール40内部の底部においてソース・ドレイン領域22に接触することによって、NMOS14に接続されている。しかし、コンタクトホール40の中央部には、絶縁領域41が存在するため、電極58とソース・ドレイン領域22との接触は、この絶縁領域41が存在しない周辺部の、コンタクトホール40全体の面積に比較して遙かに小さな面積の領域においてのみ行われている。また、コンタクトホール40の底部は、柱状の絶縁領域41の存在によって、開口のアスペクト比（高さとの比）がきわめて大きくなっている。このため、図1に示すように、コンタクトホール40内部の絶縁領域41が形成されていない領域の底部には、電極材料が存在しないボイド（電極材料がカバレッジ不良の状態）59が形成されている。

【0031】

一方、コンタクトホール40の上部は、柱状の絶縁領域の高さがコンタクトホールの上端に比較して低くなっている上、周囲および柱状絶縁領域41の頭部にテーパが形成されている。このため、電極58を形成するAlCu膜が、良好な被覆性を持って形成されている。すなわちコンタクトホール40の上部には、電極材料であるAlCuが大量に存在する。

【0032】

NMOS14は、逆方向バイアスを印加してプログラムを行う以前の初期状態では、ゲート電極をソース領域と同電位にして、ドレインーソース間の抵抗を測定すると、GΩレベルの極めて高い抵抗を示し、非導通状態にある。このNMOS14のプログラムを行う際には、必要ならばゲート電極に適切な電圧を与えた状態で、ソース領域に対して正の高電圧をドレイン領域に印加し、ドレイン領域とチャネル領域との間の接合を逆バイアスして降伏させる。従って、従来の技術

の説明の部分で述べたツェナーザップダイオードの場合と対応させれば、ドレイン電極がカソード電極であり、ソース電極がアノード電極である。

【0033】

上記の逆バイアスによる降伏によって、NMOS 14 のドレイン領域からソース領域に向けて大きな逆方向電流が流れる。この逆方向電流によって発生する電子流からの力を受けて、ソース電極の流動性金属、本実施形態の場合には Al が流動し、ソース領域 22 側から半導体領域内に侵入し、ソース領域 22、チャネル領域 20 を通過して、ドレイン領域 22 とチャネル領域 20 との間の接合に侵入する。この侵入した流動性金属と接合部分のシリコンとが反応して、接合の恒久的な破壊が行われる。これによって、NMOS 14 は、接合が短絡破壊され、非導通状態から導通状態へプログラムされる。また、さらに電圧印加を継続することにより、流動性金属とシリコンとが反応して形成された導電性のフィラメントが、ソース電極とドレイン電極との間を短絡する状態になり、極めて低い抵抗を有する導通状態に至る。

【0034】

図 1 に示されたように、本実施形態の半導体装置 10 においては、Si を含まない Al 合金からなる電極 58 を、NMOS 14 を構成する半導体領域であるソース・ドレイン領域 22 に接触させている。この、Si を含まない Al 合金と半導体領域との接触部において、電極形成後の製造過程において行われる熱工程時に、接触面直下の半導体領域中に Al が侵入してスパイクが発生し、初期不良の原因になる可能性がある。このようなスパイクの発生は、電極と半導体領域との間の接触面積を小さくすることによって抑制することが可能である。しかし、単純にコンタクトホール 40 の寸法を小さくすることによって接触面積を小さくしたのでは、コンタクトホール 40 内の AlCu 量が減少する。その結果、逆方向バイアスを印加して短絡破壊する際に Al が流動することにより、コンタクトホール内で断線が発生したり、もしくは、ヒューズ素子に対して十分な量の Al (流動性金属) を供給することができず、フィラメントの成長が不十分になって、短絡破壊後のヒューズ素子の抵抗を十分に低くすることができない、等の問題が発生する。

【0035】

図1に示された本実施形態の半導体装置10では、コンタクトホール40内に設けた柱状の絶縁領域41によって接触面積を縮小し、スパイク発生を防止する。これとともに、この柱状の絶縁領域41の高さを低くし、かつその頭部、およびコンタクトホール40の周囲にテーパを形成することにより、コンタクトホール40上部でのAlCuの量を増大させ、短絡破壊の際の断線の発生を防止し、ヒューズ素子の十分な低抵抗化を可能にする。

【0036】

さらに、図1に示された本実施形態の半導体装置10では、柱状の絶縁領域41が形成されたコンタクトホール40の底部にボイドが形成されている。このボイドの存在により、電極58とソース・ドレイン領域22とが接触する界面近傍に存在するAlの量が減少し、スパイク発生がさらに抑制される。ただし、絶縁領域41による接触面積の制限のみによってスパイク発生が抑制でき、所要の初期歩留りが確保できるのであれば、ボイドの形成は必須ではない。なお、製造工程終了後の状態においてボイドが存在していたとしても、逆バイアスを印加して短絡破壊を行う際に、コンタクトホール40の上部の、大量にAlCuが存在する部分からAl（流動性金属）が供給されるため、フィラメントの形成が不十分になることはない。

【0037】

一方、通常の半導体素子として用いられるPMOS12は、P型シリコン基板16の表面層内に形成されたNウェル領域28内の素子形成領域に、チャネル領域30を挟んでソース・ドレイン領域（P⁺型拡散領域）32が形成されている。同様に、チャネル領域30の上には、ゲート酸化膜34を介してゲート電極36が形成されている。

【0038】

半導体基板16の表面上全面に形成された層間絶縁膜38の、PMOS12のソース・ドレイン領域32に対応する箇所にはコンタクトホール42が開口されている。コンタクトホール42の内部および層間絶縁膜38の上の所定箇所にはバリアメタル層44が形成され、バリアメタル層44が形成されたコンタクトホ

ール42の内部には高融点金属からなるプラグ48が埋め込まれている。また、コンタクトホール42に埋め込まれたプラグ48上およびバリアメタル層44の上には、AlCu膜からなる電極58が形成され、プラグ48を介してPMOS12のソース・ドレイン領域32に接続されている。

【0039】

次に、図2および図3に示す工程図を参照しながら、本発明の半導体装置の製造方法を説明する。

【0040】

図2(a)に示すレイアウト断面概略図において、右側は、通常の半導体素子として用いられるPMOS12が形成される素子形成領域であり、左側は、ツェナーザップ型のヒューズ素子として用いられるNMOS14が形成される素子形成領域である。P型のシリコン基板16の表面層において、PMOS12用およびNMOS14用の各素子形成領域はLOCOS酸化膜18によって素子分離されている。

【0041】

ヒューズ素子であるNMOS14用の素子形成領域には、チャネル領域20を挟んでソース・ドレイン領域(N⁺型拡散領域)22が形成されている。ソース・ドレイン領域22は、P(リン)、As(ヒ素)等のN型不純物をイオン注入することによって形成される。チャネル領域20の上には、ゲート酸化膜24を介してゲート電極26が形成されている。ゲート電極26はポリシリコンによって形成され、ソース・ドレイン領域22と共にNMOS14を構成する。

【0042】

PMOS12用の素子形成領域には、チャネル領域30を挟んでソース・ドレイン領域(P⁺型拡散領域)32が形成されている。同様に、チャネル領域30の上には、ゲート酸化膜34を介してゲート電極36が形成されている。ここまでは、通常のCMOS型半導体集積回路製造プロセスを用いて製造される。

【0043】

次に、図2(b)に示すように、BPSG(ホウ素リンケイ酸ガラス)/NSG(ノンドープトケイ酸ガラス)膜等のシリコン酸化膜をシリコン基板16表面

上の全面に1.2 μm 程度の膜厚に堆積し、層間絶縁膜38を形成する。なお、公知の酸化膜CMP法や熱リフロー法により、絶縁膜38の表面を平坦化处理しておくのが好ましい。

【0044】

続いて、公知のリソグラフィー技術、エッチング技術を用いて、ヒューズ素子であるNMOS14用の第1のコンタクトホール40およびヒューズ素子以外の半導体素子であるPMOS12用の第2のコンタクトホール42を層間絶縁膜38の対応する個所に開口する。この時、図2(b)に示すように、ヒューズ素子であるNMOS14用の第1のコンタクトホール40の中央部には層間絶縁膜38を柱状に残して絶縁領域41を形成する。

【0045】

第1および第2のコンタクトホール40, 42の開口後、図2(c)に示すように、シリコン基板16の表面上全面に、例えば15nmの膜厚のTi膜と150nmの膜厚のTiN膜とをこの順番にスパッタ成膜して、層間絶縁膜38の全面上と第1および第2のコンタクトホール40, 42の内壁にバリアメタル層44を形成する。続いて、WF₆-H₂系の反応ガスを用いたCVD法により、タングステン膜46を約600~800nmの膜厚で成膜し、第1および第2のコンタクトホール40, 42の内部を含むバリアメタル層44上の全面に堆積する。

【0046】

続いて、図2(d)に示すように、メタルCMP法により、層間絶縁膜38表面上のタングステン膜46を研磨除去する。この時、公知のエンドポイント検出機能を用いてバリアメタル層44を選択的に残す。これにより、第1および第2のコンタクトホール40, 42内にタングステンプラグ48が形成される。

【0047】

続いて、シリコン基板16表面上の全面にフォトリソ膜を形成し、パターニングを行って、第1のコンタクトホール40の表面が露出するようにレジストパターン50を形成する。この時、第1のコンタクトホール40の部分を除く、第2のコンタクトホール42上の部分を含む全面がレジストパターン50で覆わ

れる。

【0048】

続いて、 H_2O_2 （過酸化水素水）および BHF （バッファードフッ酸）を利用して等方的なエッチングを行い、第1のコンタクトホール40内部からタングステンプラグ48およびバリアメタル層44を選択的に除去する。同時に、第1のコンタクトホール40の側壁を等方的にエッチングしてテーパーを形成するとともに、柱状の絶縁領域41の頭部を等方的にエッチングし、その高さを低くするとともに、頭部にテーパーを形成する。

【0049】

続いて、図3（f）に示すように、フォトリジスト膜50の剥離後、 $AlCu$ 合金膜をスパッタ成膜し、公知のパターニングプロセスを経て電極58を形成する。この時、バリアメタル層44も同時にパターニングされ、層間絶縁膜38表面上においては、 $AlCu$ 膜58と層間絶縁膜44とが積層された配線が形成される。図示されたように、第1のコンタクトホール40の上部では $AlCu$ 膜が良好な被覆性で形成される。一方、第1のコンタクトホール40の底部において、絶縁領域41が形成されていない領域では、そのアスペクト比が高いため、配線材料が存在しない領域であるボイド59が形成される。

【0050】

このように、絶縁領域41により第1のコンタクトホール40内における電極58と半導体領域（ソース・ドレイン領域22）との接触面積を制限することによって、ヒューズ素子の初期歩留りを大幅に改善することができる。また、第1のコンタクトホール40の上部はテーパーが形成されたラウンド形状の開口となるため、 $AlCu$ を高い被覆率で十分に成膜することができ、 Al フィラメント形成用の Al の供給源には事欠かない状態となる。

【0051】

次に、図4を参照して、第1のコンタクトホール40についてさらに説明する。図4（a）、（b）、（c）はそれぞれゲート電極26の両側に2つの第1のコンタクトホール40の底面の形状を模式的に示した平面図である。いずれの場合も、コンタクトホール40の周囲部の、影をつけて示した部分が、ソース・ド

レイン領域 22 の表面が露出された部分であり、それ以外の部分に絶縁領域 41 が形成される。

【0052】

以下の説明では、図 4 (a) に示すように、第 1 のコンタクトホール 40 の底部のサイズをそれぞれ X_0 、 Y_0 とし、ソース側の絶縁領域 41 の底部のサイズをそれぞれ X_a 、 Y_a 、ドレイン側の絶縁領域 41 の底部のサイズをそれぞれ X_c 、 Y_c とする。また、ソース側の絶縁領域 41 の底部の面積を $S_a = X_a \times Y_a$ とし、ドレイン側の絶縁領域 41 の底部の面積を $S_c = X_c \times Y_c$ とする。

【0053】

ここで、第 1 のコンタクトホール 40 の底部のサイズ X_0 、 Y_0 は、 $X_0 = Y_0 = 0.25 \sim 2.0 \mu\text{m}$ であるのが好ましい。また、第 1 のコンタクトホール 40 の底部において、絶縁領域 41 が存在しない領域、すなわち電極 58 と半導体基板 16 内に形成されたソース・ドレイン領域 22 とが接触する領域は、 $1 - S_a / S_0 = 1 - S_c / S_0 = 0.20 \sim 0.50$ の範囲内とするのが好ましい。

【0054】

このように、電極 58 と半導体基板 16 内部に形成されたソース・ドレイン領域 22 とが接触する面積を、第 1 のコンタクトホール 40 の底部の面積よりも小さくすることにより、破壊に要する電流密度を局所的に高め、ヒューズ素子の破壊特性を向上させることができる。また、電極 58 と半導体基板 16 内に形成されたソース・ドレイン領域 22 とが接触する領域を上記範囲内に制限することによって、半導体基板 16 に対する配線材料のスパイクの発生を抑制できる。

【0055】

また、第 1 のコンタクトホール 40 の高さ（層間絶縁膜 38 の厚さ）を H_0 とすると、絶縁領域 41 の先端の高さ H_a は、 $H_a \leq (2/3) \times H_0$ の関係を満足するのが好ましい。

【0056】

ここで、絶縁領域 41 は、第 1 のコンタクトホール 40 の中央部に層間絶縁膜 38 から分離して形成することに限定されるわけではない。例えば、図 4 (b)

に示す例は、絶縁領域 41 を 1 つの辺で延長して層間絶縁膜 38 と接続させたものである。また、図 4 (c) に示す例は、絶縁領域 41 を 2 つの辺で延長して層間絶縁膜 38 と接続させたものである。絶縁領域 41 の配置は、図示例のものに限定されず、第 1 のコンタクトホール 40 の内部にどのように配置してもよい。

【0057】

前記図 2 (b) において第 1 のコンタクトホール 40 を形成するために使用する図示しないレジストパターンの、絶縁領域 41 を形成するための部分は、きわめて小さな寸法になり、剥離しやすくなる。この部分のレジストパターンを孤立させず、少なくとも 1 つの辺において、コンタクトホール 40 の外側を覆うレジストパターンと接続することにより、剥離を防ぐことができる。このようなレジストパターンを利用して加工を行うことにより、図 4 (b)、(c) に模式的に示すような形状のコンタクトホール 40 が形成される。

【0058】

以上説明した実施形態では、第 1 のコンタクトホール 40 内に埋め込んだタングステンプラグ 48 およびバリアメタル層 44 を、 H_2O_2 および BHF を利用してウェットエッチングすることによって除去したが、例えば SF_6 ガスを含む雰囲気を利用したプラズマエッチングによって除去することも可能である。第 1 のコンタクトホール 40 の周囲の層間絶縁膜 38 および絶縁領域 41 の頭部のテーパエッチングも、例えば CF_4 ガスを含む雰囲気を利用したプラズマエッチングによって実施することも可能である。

【0059】

上記の実施形態では、第 1 のコンタクトホール 40 および第 2 のコンタクトホール 42 の両方を開口し、その両方にバリアメタル層 44 およびタングステンプラグ 48 を埋め込んでから、第 1 のコンタクトホール 40 に埋め込んだタングステンプラグ 48 およびバリアメタル層 44 を除去した。しかし、最初に、第 2 のコンタクトホール 42 のみを開口し、バリアメタル層 44 およびタングステンプラグ 48 を埋め込んでから、第 1 のコンタクトホール開口のためのレジストパターンを形成し、ウェットもしくはドライによる等方性エッチングと、異方性エッチングとによって、絶縁領域 41 を有するとともに上部にテーパを有する第 1

のコンタクトホール40を形成することも可能である。この場合には、絶縁領域41に対応する部分のレジストパターンが等方性エッチング時にはがれることを防止するため、少なくとも1つの辺においてコンタクトホール40の外側を覆うレジストパターンと接続しておくことが好ましい。

【0060】

また、本発明の半導体装置では、シリコン基板に限らず、従来公知の半導体基板を用いることができる。また、高抵抗状態と導通状態をプログラム可能なヒューズ素子は、上記実施形態のように、NMOSやPMOS等のMOSFETで構成してもよいし、ダイオードで構成してもよい。すなわち、ヒューズ素子は電極からの流動性金属の侵入によって短絡破壊できるPN接合を有する素子であればよく、例えば半導体基板上の絶縁膜上のポリシリコン層に形成されたダイオード等でヒューズ素子を構成してもよい。また、ヒューズ素子の他にどのような半導体素子が同一半導体基板上に形成されていてもよい。

【0061】

また、コンタクトホールの内部に埋め込まれるプラグはタングステンプラグに限定されず、従来公知の高融点金属のプラグを利用可能である。また、このプラグは、上記実施形態のように、コンタクトホール内部および層間絶縁膜上に高融点金属の膜を堆積し、層間絶縁膜上に堆積された部分をCMP法によって研磨除去して形成するのが好ましいが、プラズマエッチングによってエッチバックして形成するなど、他の公知の手法で形成してもよい。

【0062】

また、電極材料は、AlCuに限定されるわけではなく、流動性金属としてアルミニウムを利用する場合であっても、純Alおよびその他様々なAl合金の膜を利用して形成することができる。しかし、前記のように配線の信頼性を高めるためには、Siを全く含まない、もしくは、含むとしても含有量が低く、微細配線内でSiノジュールを発生することのないという意味で実施的に含まないと見なせる範囲のアルミニウムもしくはアルミニウム合金膜で形成することが好ましい。流動性金属としては、アルミニウム以外にも、例えば特許文献2に開示されたように、チタンなどのシリサイドを形成する金属や、金、銅、銀などを利用す

ることができる。

【0063】

本発明は、基本的に以上のようなものである。

以上、本発明の半導体装置およびその製造方法について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0064】

【発明の効果】

以上詳細に説明した様に、本発明によれば、ヒューズ素子用の第1のコンタクトホールにおいて、半導体基板が露出される面積を制限することにより、ヒューズ素子を破壊短絡する前の初期歩留りを大幅に改善することができる。また、第1のコンタクトホールの上部では、テーパーが形成されたラウンド形状の開口となるため、電極材料を十分に成膜することができ、フィラメント形成用の材料の供給源には事欠かない状態とすることができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の一実施形態のレイアウト断面概略図である。

【図2】 (a)、(b)、(c) および (d) は、本発明の半導体装置の製造方法の各工程を説明する一実施形態のレイアウト断面概念図である。

【図3】 (e) および (f) は、図2 (d) に続く本発明の半導体装置の製造方法の各工程を説明するレイアウト断面概念図である。

【図4】 (a)、(b) および (c) は、第1のコンタクトホールの形状を表す一実施形態の上面概念図である。

【図5】 抵抗値を調整するトリミング回路の一例の概略図である。

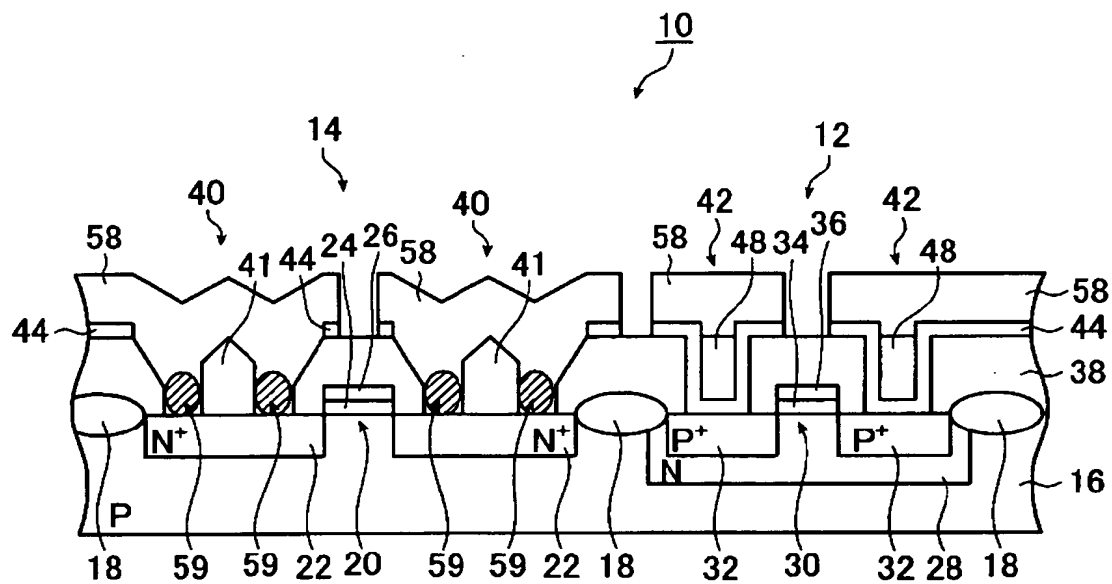
【符号の説明】

- 10 半導体装置
- 12 P型MOSトランジスタ
- 14 N型MOSトランジスタ
- 16 半導体基板（シリコン基板）
- 18 LOCOS酸化膜

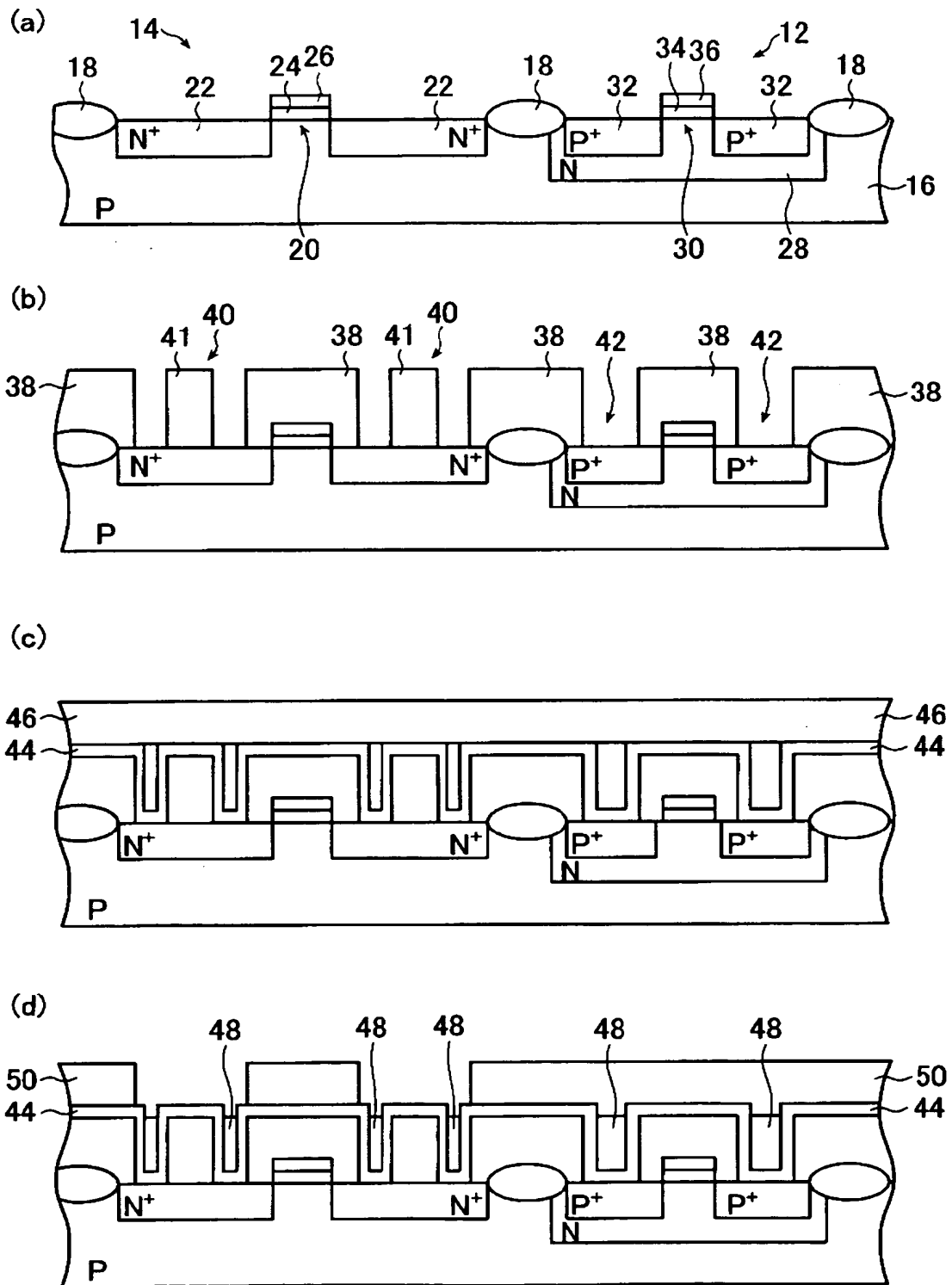
20, 30 チャンネル領域
22, 32 ソース・ドレイン領域
24, 34 ゲート酸化膜
26, 36 ゲート電極
38 層間絶縁膜
40, 42 コンタクトホール
41 絶縁領域
44 バリアメタル層
46 タングステン膜
48 タングステンプラグ
50 レジストパターン
58 電極
59 ボイド
60 トリミング回路
R1 ~ Rn 抵抗素子
D1 ~ Dn ツェナーザップダイオード
P1 ~ Pn+1 パッド

【書類名】 図面

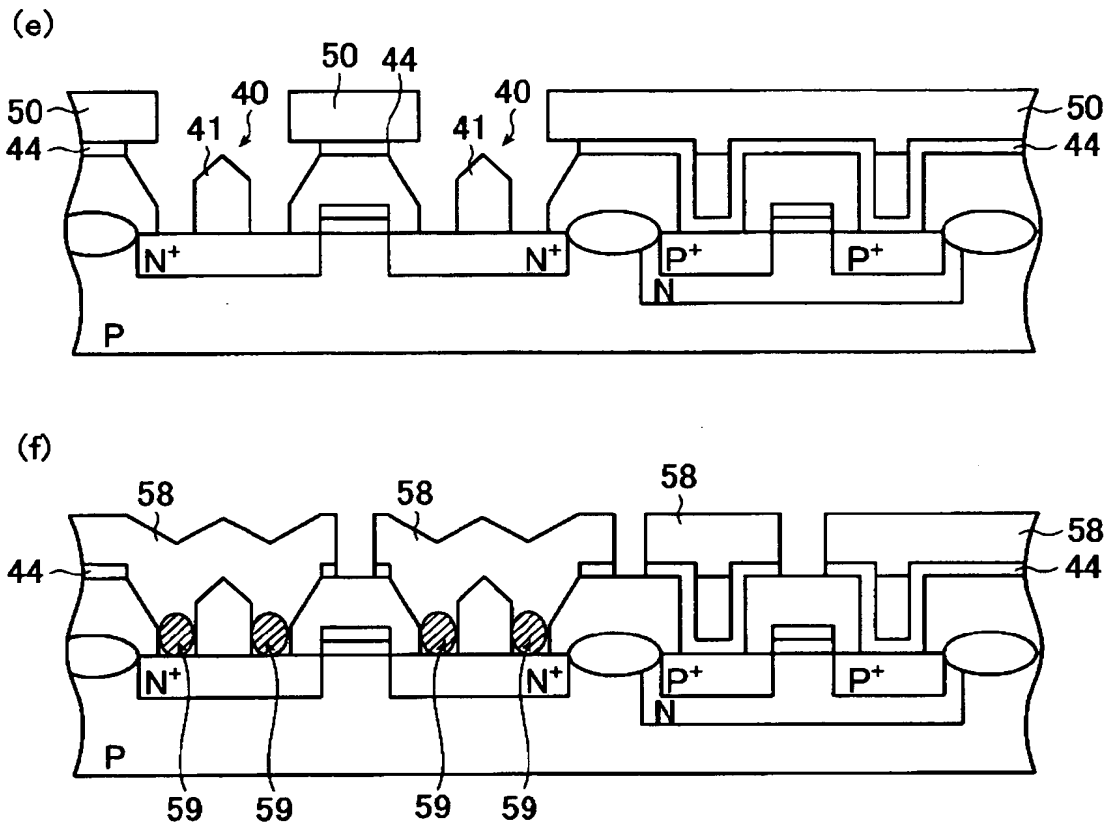
【図 1】



【図 2】

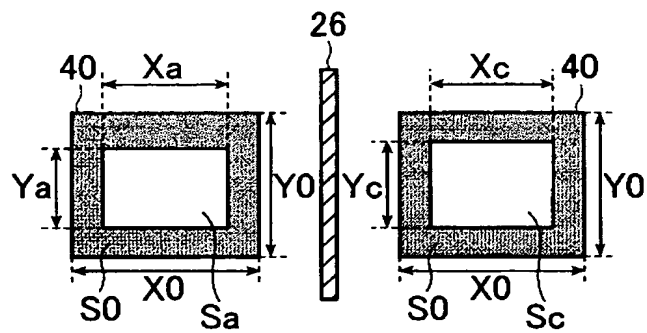


【図 3】

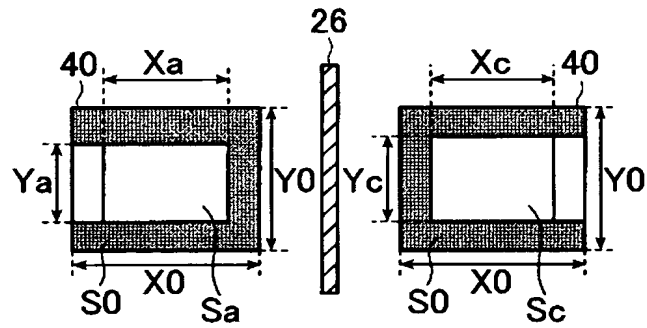


【図 4】

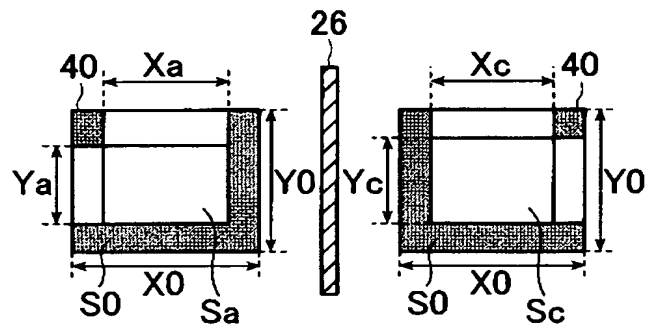
(a)



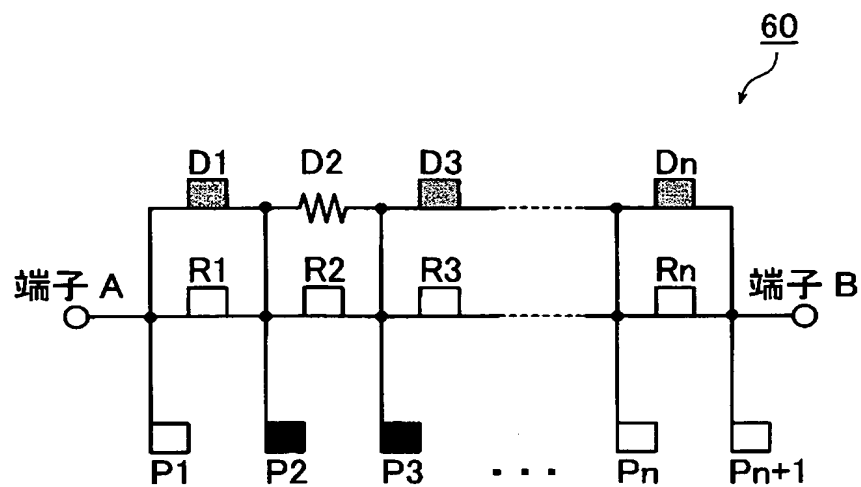
(b)



(c)



【図 5】



【書類名】 要約書

【要約】

【課題】 通常の素子に対するコンタクトホールにはタングステンプラグを埋め込みながら、ヒューズ素子の破壊短絡後の抵抗を十分に低くすることができ、かつ、高い初期歩留りを得ることができる半導体装置およびその製造方法を提供する。

【解決手段】 本発明の半導体装置は、接合への流動性金属の侵入によってプログラム可能な第1の素子、および第2の素子が形成された半導体基板と、半導体基板上に形成された絶縁膜と、絶縁膜に開口されたコンタクト孔であって、コンタクト孔の上端よりも低い高さを有する柱状の絶縁領域を中央部に有する第1のコンタクト孔の、底面の周辺部において、流動性金属を主成分とする膜からなる電極が接触する第1のコンタクトと、絶縁膜に開口された第2のコンタクト孔に埋め込まれた高融点金属からなるプラグを介して、第2の素子に電極が接続された第2のコンタクトとを有する。

【選択図】 図1

特願 2 0 0 3 - 0 1 9 8 6 5

出 願 人 履 歴 情 報

識別番号

[5 0 1 2 8 5 1 3 3]

1 . 変 更 年 月 日

2 0 0 1 年 7 月 1 7 日

[変 更 理 由]

新 規 登 録

住 所

千 葉 県 千 葉 市 美 浜 区 中 瀬 一 丁 目 3 番 地

氏 名

川 崎 マ イ ク ロ エ レ ク ト ロ ニ ク ス 株 式 会 社